

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-130951

**(43)Date of publication of application : 18.05.1990**

(51)Int.Cl.

H01L 23/522

H01L 23/556

H01L 23/60

H01L 23/62

H01L 29/68

**H01L 29/784**

(21)Application number : 63-285989

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.11.1988

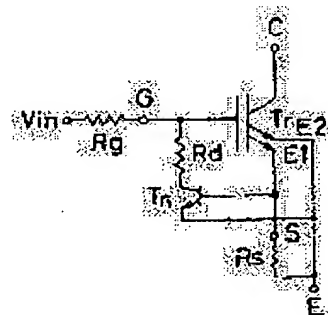
(72) Inventor : FUKUNAGA MASANORI

(54) SHORT CIRCUIT PROTECTION CIRCUIT FOR SEMICONDUCTOR ELEMENT

**(57)Abstract:**

**PURPOSE:** To prevent latchup breakdown at the time of load short circuit by a method wherein, when a short circuit current flows between a collector and an emitter, a protective transistor turns ON, and the gate voltage is divided by a gate resistor and a dividing resistor.

**CONSTITUTION:** The emitter cell of an insulated gate type bipolar transistor Tr is divided into emitters E1 and E2. When a collector current flows as a part of short current between the collector terminal C and the emitter terminal E of the transistor Tr, a part of the current flows also in a current detection resistor Rs. When the voltage between both terminals of the resistor Rs exceeds the conduction voltage of a protective transistor Tr1, it turns ON. When the transistor Tr1 turns ON, an input voltage Vin applied to the gate terminal G of Tr is divided by a gate resistor Rg and a resistor Rd. As a result, the gate voltage applied to the terminal G of Tr is decreased, and the short current is reduced, so that the current density in Tr is decreased, thereby protecting the transistor Tr from latchup breakdown.





(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2806503号

(45) 発行日 平成10年(1998) 9月30日

(24) 登録日 平成10年(1998) 7月24日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

6 5 5 Z

27/06

6 5 7 G

27/06

1 0 1 P

請求項の数 4 (全 5 頁)

(21) 出願番号 特願昭63-285989

(22) 出願日 昭和63年(1988) 11月11日

(65) 公開番号 特開平2-130951

(43) 公開日 平成2年(1990) 5月18日

審査請求日 平成4年(1992) 11月28日

審判番号 平8-1654

審判請求日 平成8年(1996) 2月16日

(73) 特許権者 999999999

三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

(72) 発明者 福永 匡則

兵庫県伊丹市瑞原4丁目1番地 三菱電  
機株式会社北伊丹製作所内

(74) 代理人 弁理士 曾我 道照 (外6名)

合議体

審判長 張谷 雅人

審判官 小田 裕

審判官 小野田 誠

(56) 参考文献 特開 昭62-143450 (J P, A)

特開 昭59-224172 (J P, A)

(54) 【発明の名称】 半導体素子の短絡保護回路

(57) 【特許請求の範囲】

【請求項1】 主電流の一方端子及びゲート端子を共通にし、主たる電流経路である主素子に配設された第1の他方端子と上記主素子から一部分離された電流検出用素子に配設された第2の他方端子とを有する電圧制御型半導体素子と、

この電圧制御型半導体素子の上記第1の他方端子と第2の他方端子との間に配設された電圧検出手段と、  
上記ゲート端子と第1の他方端子との間に配設され、上記電圧検出手段の出力信号に基づく起動停止に対応して、上記ゲート端子に接続されたゲート抵抗とこのゲート抵抗と分岐するように接続された電圧分割抵抗とを有する電圧分割手段により上記電圧制御型半導体素子のゲート電圧を上記電圧分割抵抗による電圧変化に応じて変化させる保護用半導体素子と、

を備えた半導体素子の短絡保護回路。

【請求項2】 主電流の一方端子及びゲート端子を共通にし、主たる電流経路である主素子に配設された第1の他方端子と上記主素子から一部分離された電流検出用素子に配設された第2の他方端子とを有する絶縁ゲート型バイポーラトランジスタと、

この絶縁ゲート型バイポーラトランジスタの上記第1の他方端子と第2の他方端子との間に配設された電圧検出手段と

上記ゲート端子と第1の他方端子との間に配設され、上記電圧検出手段の出力信号に基づく起動停止に対応して、上記ゲート端子に接続されたゲート抵抗をその一部とする電圧分割手段により上記絶縁ゲート型バイポーラトランジスタのゲート電圧を変化させる保護用半導体素子と、

を備えた半導体素子の短絡保護回路。

【請求項3】上記電圧制御型半導体素子が絶縁ゲート型バイポーラトランジスタであることを特徴とする請求項1記載の半導体素子の短絡保護回路。

【請求項4】上記保護用半導体素子がバイポーラトランジスタかまたは電圧制御型トランジスタのいずれか一方であることを特徴とする請求項1乃至請求項3のいずれか1項に記載の半導体素子の短絡保護回路。

【発明の詳細な説明】

(産業上の利用分野)

本発明は、絶縁ゲート型バイポーラトランジスタ（以下、単にバイポーラトランジスタという）のような半導体素子の短絡保護回路に関する。

(従来技術)

第4図は負荷短絡時におけるバイポーラトランジスタの等価回路図であり、第5図は第4図のバイポーラトランジスタの負荷短絡時におけるそのコレクタ電流の波形を示す図である。

第4図において、Trはバイポーラトランジスタである。負荷短絡時におけるバイポーラトランジスタTrは、そのコレクタ端子Cとエミッタ端子Eとの間に直接、電源Vpが接続された状態となっている。

そして、このような接続状態で、そのバイポーラトランジスタTrのゲート端子Gにゲート抵抗Rgを介して入力電圧Vinが入力されると、バイポーラトランジスタTrのコレクタ・エミッタ間にコレクタ電流Icが第5図のように短絡電流として流れることになる。

このようにして、バイポーラトランジスタTrのコレクタ・エミッタ間に短絡電流が流れている場合において、その短絡電流の電流密度が許容値以上になると、バイポーラトランジスタTrがラッチアップして第5図のA点から点線の矢印方向に示すようにその短絡電流が急激に上昇し、その結果、バイポーラトランジスタTrがラッチアップ破壊してしまうという問題があった。

このようなバイポーラトランジスタTrのラッチアップ破壊を防止する対策として、従来、第1に入力電圧Vinの印加電圧を下げることににより、バイポーラトランジスタTrのコレクタ・エミッタ間飽和電圧を下げてラッチアップしないような値にまで電流密度を下げたり、あるいは、第2に、ゲート抵抗Rgの抵抗値を大きくすることでバイポーラトランジスタTrのターンオン速度を低下させて、負荷短絡時における短絡電流のピーク値（第5図のA点）を抑えるといった対策が講じられていた。

(発明が解決しようとする課題)

しかしながら、第1の対策ではバイポーラトランジスタTrのコレクタ・エミッタ間電圧が上昇するために、バイポーラトランジスタTrの動作時における定常損失が増大するという問題がある。

また、第2の対策ではバイポーラトランジスタTrのターンオン時におけるスイッチング損失が増大するため

に、バイポーラトランジスタTrを高速スイッチングの用途に応用することができないという問題があった。

本発明は、上記課題に鑑みてなされたものであって、動作時における定常損失とターンオン時におけるスイッチング損失とのいずれをも増大させることなく、負荷短絡時におけるバイポーラトランジスタのような半導体素子における上記ラッチアップ破壊を防止し、かつそれを高速スイッチングの用途に適用できるようにすることを目的としている。

(課題を解決するための手段)

このような目的を達成するために、本発明の半導体素子の短絡保護回路においては、主電流の一方端子及びゲート端子を共通にし、主たる電流経路である主素子に配設された第1の他方端子と主素子から一部分離された電流検出用素子に配設された第2の他方端子とを有する電圧制御型半導体素子と、この電圧制御型半導体素子の第1の他方端子と第2の他方端子との間に配設された電圧検出手段とゲート端子と第1の他方端子との間に配設され、電圧検出手段の出力信号に基づく起動停止に対応して、ゲート端子に接続されたゲート抵抗とこのゲート抵抗と分岐するように接続された電圧分割抵抗とを有する電圧分割手段により電圧制御型半導体素子のゲート電圧を電圧分割抵抗による電圧変化に応じて変化させる保護用半導体素子と、を備えたものである。

また、主電流の一方端子及びゲート端子を共通にし、主たる電流経路である主素子に配設された第1の他方端子と主素子から一部分離された電流検出用素子に配設された第2の他方端子とを有する絶縁ゲート型バイポーラトランジスタと、

この絶縁ゲート型バイポーラトランジスタの第1の他方端子と第2の他方端子との間に配設された電圧検出手段と、ゲート端子と第1の他方端子との間に配設され、電圧検出手段の出力信号に基づく起動停止に対応して、ゲート端子に接続されたゲート抵抗をその一部とする電圧分割手段により絶縁ゲート型バイポーラトランジスタのゲート電圧を変化させる保護用半導体素子と、を備えたものである。

さらにまた、電圧制御型半導体素子を絶縁ゲート型バイポーラトランジスタとしたものである。

また、保護用半導体素子をバイポーラトランジスタかまたは電圧打制御型トランジスタのいずれか一方としたものである。

【作用】

上記のように構成された半導体素子の短絡保護回路においては、負荷短絡時に電圧検出手段の出力信号に基づいて保護用半導体素子が導通すると、ゲート端子に印加された入力電圧はゲート抵抗と電圧分割抵抗とで分割され、電圧分割抵抗に対応してゲート電圧は低下するので0電位にはならない。このため電圧制御型半導体素子の短絡電流は遮断されることがないから、発振状態になら

ず、短絡電流を減少させることができる。

また、絶縁ゲート型バイポーラトランジスタにおいて、負荷短絡時に短絡電流を減少させることができ、ラッチアップが起きない。

また保護用半導体素子をバイポーラトランジスタかまたは電圧制御型トランジスタのいずれか一方としたので、電圧検出手段の出力信号に応じて精度よく保護動作が行なわれる。

#### (実施例)

以下、本発明の実施例を図面を参照して詳細に説明する。本実施例では半導体素子としてバイポーラトランジスタを適用して説明する。

第1図はバイポーラトランジスタと、そのバイポーラトランジスタをラッチアップ破壊から防止するために適用された本発明の実施例に係る短絡保護回路との回路図であり、第2図は第1図の回路のモノリシック構造を示す断面図である。これらの図において、従来例に係る第4図と対応する部分には同一の符号を付している。。

第1図を参照して本実施例の等価回路について説明すると、Trはバイポーラトランジスタ、CおよびGはそれぞれバイポーラトランジスタTrのコレクタとゲートとの各端子、RgはバイポーラトランジスタTrのゲート端子Gに接続されたゲート抵抗である。

このような基本構造において、絶縁ゲート型バイポーラトランジスタTrはそのエミッタセルを一部分離されている。そして、分離された一方のエミッタセルは第1のエミッタE1として、他方のエミッタセルは第2のエミッタE2としてそれぞれ導出されている。第1のエミッタE1には、電流検出端子Sが、また第2のエミッタE2にはエミッタ端子Eがそれぞれ接続されている。電流検出端子Sとエミッタ端子Eとの間には、電流検出抵抗Rsの両端と、保護トランジスタTr1のベースとエミッタとがそれぞれ接続されている。保護トランジスタTr1のコレクタと、バイポーラトランジスタTrのゲートとの間には、分割抵抗Rdが接続されている。バイポーラトランジスタTrのゲート端子Gには、ゲート抵抗Rgが接続されている。

第2図を参照して本実施例のモノリシック構造について説明する。第2図において、Eはエミッタ端子、Gはゲート端子、Sは電流検出端子、Rsは電流検出抵抗、Rgはゲート抵抗である。これらは、上記第1図における等価回路における各部品、部分に対応している。

R1はコレクタ端子Cが接続された基板であるP+型の第1の半導体領域、R2は第1の半導体領域R1の表面に成長されたn-型の第2の半導体領域、R31、…、R32はそれぞれ第2の半導体領域R2に拡散されたP型の第3の半導体領域である。R41、…、R42a、R42bはそれぞれ第3の半導体領域R31、…、R32のそれぞれに拡散されたn+型の第4の半導体領域である。半導体領域R31、…、R42a、R42bの内、半導体領域R31、…はバイポーラトランジスタTrのエミッタ領域であり、半導体領域R42aは保護トラン

ジスタTr1のエミッタ領域であり、半導体領域R42bは同じく保護トランジスタTr1のコレクタ領域である。

GE…はそれぞれ絶縁膜ZM1を介して設けられかつゲート端子Gにそれぞれ接続された、バイポーラトランジスタTrのゲート電極、EE1はエミッタ端子Eに接続された、バイポーラトランジスタTrのエミッタ電極である。ZM2…、ZM3はそれぞれ絶縁膜、IEは電流検出端子Sに接続された電流検出電極、EE2はエミッタ端子Eに接続された保護トランジスタTr1のエミッタ電極、BEは電流検出端子Sに接続された保護トランジスタTr1のベース電極、CEは保護トランジスタTr1のコレクタ電極、Rdは一端がコレクタ電極CEに、他端がゲート端子Gにそれぞれ接続されたポリシリコンからなる分割抵抗である。

したがって、第2図のモノリシック構造において、バイポーラトランジスタTrは、コレクタ端子Cに図示しないコレクタ電極を介して接続された第1の半導体領域R1と、第2の半導体領域R2と、チャネル形成領域となる第3の半導体領域R31…と、エミッタ領域となる第4の半導体領域R41…とを有している。

また、保護トランジスタTr1は、ベース領域となる第3の半導体領域R32と、エミッタ領域となる一方の第4の半導体領域R42aと、コレクタ領域となる他方の第4の半導体領域R42bとを有している。

つぎに負荷短絡時における動作について説明する。まず、バイポーラトランジスタTrのコレクタ端子Cとエミッタ端子Eとの間にコレクタ電流が短絡電流の一部として流れた場合、その短絡電流の一部は電流検出端子Sを介して電流検出抵抗Rsにも流れる。そして、この電流検出抵抗Rsの両端間電圧が保護トランジスタTr1の導通電圧を越えたときには、その保護トランジスタTr1が導通する。

保護トランジスタTr1が導通すると、バイポーラトランジスタTrのゲート端子Gに印加される入力電圧Vinは、ゲート抵抗Rgと分割抵抗Rdとで分割されることになる。その結果、バイポーラトランジスタTrのゲート端子Gに印加されるゲート電圧は低下するから、そのバイポーラトランジスタTr内の電流密度も下がる結果、バイポーラトランジスタTrはラッチアップ破壊から保護される。なお、本実施例では通常の負荷が接続されている場合は、保護トランジスタTr1が非導通となるように電流検出抵抗Rsの抵抗値を設定しているので、バイポーラトランジスタTrのゲートに印加される電圧は、ゲート端子Gに印加される入力電圧Vinにほぼ等しくなり、その結果、ゲート抵抗Rgの抵抗値を自由に設定することが可能となるので、バイポーラトランジスタTrの定常損失とかスイッチング損失を最小限にして高速でのスイッチング動作が可能となる。

第3図は本実施例の動作特性を従来例と対比して示す図であり、第3図において、破線は第5図と同様にして従来例の負荷短絡時における電流波形を示しており、実

線は本実施例の負荷短絡時における電流波形を示している。そして、従来例の電流波形のピーク点Aに比較して本実施例の電流波形のピーク点Bは低くなっていることから明かなように、本実施例では負荷短絡があっても、その短絡電流の上昇が抑えられるので、従来例のようなラッチアップ破壊から防止される。

なお、本実施例ではNチャネル型のバイポーラトランジスタTrに、npn型の保護トランジスタTr1を用いた例を示したが、PチャネルのバイポーラトランジスタTrに、pnp型の保護トランジスタTr1を用いても同様に実施することができることは勿論である。また、保護トランジスタTr1ではバイポーラトランジスタを用いたが、電圧制御型トランジスタについても同様に適用することができることは勿論である。

(発明の効果)

以上説明したことから明かなように本発明による半導体素子の短絡保護回路においては、負荷短絡時に電圧検出手段の出力信号に基づいて保護用半導体素子が導通すると、ゲート端子に印加された入力電圧はゲート抵抗と電圧分割抵抗とで分割され、電圧分割抵抗に対応してゲート電圧は低下するので0電位にはならない。このため電圧制御型半導体素子の短絡電流は遮断されることがないから、発振状態にならず、短絡電流を減少させることができる。延いては負荷短絡時の素子の破壊を防止

で、素子の信頼性を高めることができる。

また絶縁ゲート型バイポーラトランジスタにおいて、負荷短絡時にラッチアップが起きないから、動作時における定常損失とターンオン時におけるスイッチング損失とのいずれをも増大させることなく、またスイッチング速度を低下させることなく、負荷短絡時のラッチアップ破壊を防止できる。

また、保護用半導体素子をバイポーラトランジスタかまたは電圧制御型トランジスタのいずれか一方としたので、電圧検出手段の出力信号に応じて精度よく保護動作を行なわせることができ、安価で信頼性の高い素子を得ることができる。

【図面の簡単な説明】

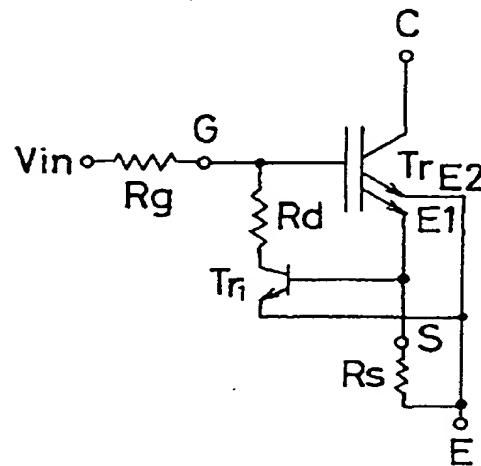
第1図ないし第3図は本発明の実施例に係り、第1図は同実施例の等価回路図、第2図は同実施例のモノリシック構造を示す断面図、第3図は動作特性を示す図である。

第4図は従来例の等価回路図、第5図は第4図の従来例の動作特性を示す図である。

Tr…バイポーラトランジスタ(半導体素子)、Tr1…保護トランジスタ、C…コレクタ端子、E…エミッタ端子、G…ゲート端子、S…電流検出端子、Rs…電流検出抵抗、Rg…ゲート抵抗、Rd…分割抵抗。

図中、同一符号は同一ないしは相当部分を示す。

【第1図】



Tr…バイポーラトランジスタ(半導体素子)

Tr1…保護トランジスタ

C…コレクタ端子

E…エミッタ端子

G…ゲート端子

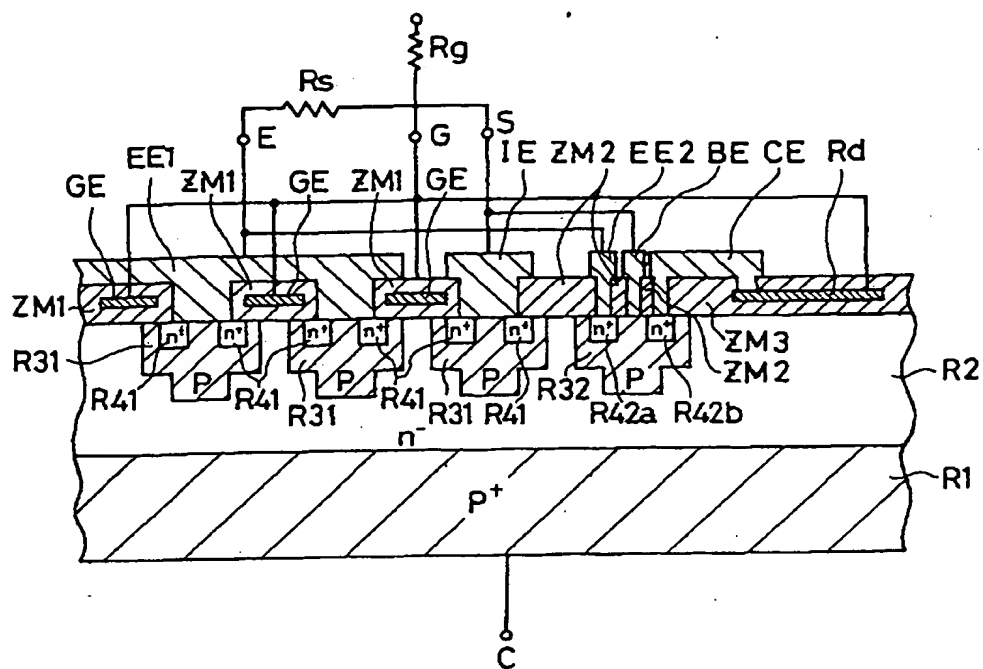
S…電流検出端子

Rs…電流検出抵抗

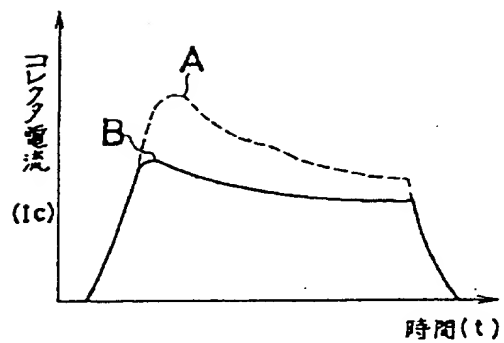
Rg…ゲート抵抗

Rd…分割抵抗

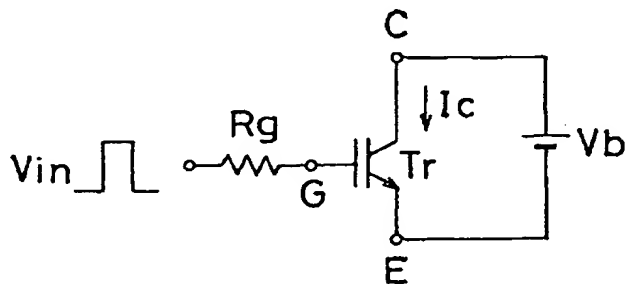
【第2図】



【第3図】



【第4図】



【第5図】

